

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 4 月 29 日 (29.04.2004)

PCT

(10) 国際公開番号  
WO 2004/036708 A1

- (51) 国際特許分類: H01S 5/323  
(21) 国際出願番号: PCT/JP2003/012406  
(22) 国際出願日: 2003 年 9 月 29 日 (29.09.2003)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2002-300425  
2002 年 10 月 15 日 (15.10.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP]; 〒153-8654 東京都目黒区目黒1丁目4番1号 Tokyo (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 渡辺 温 (WATANABE, Atsushi) [JP/JP]; 〒350-2288 埼玉県鶴ヶ島市富

士見 6 丁目 1 番 1 号 パイオニア株式会社 総合研究所内 Saitama (JP). 高橋 宏和 (TAKAHASHI, Hirokazu) [JP/JP]; 〒350-2288 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式会社 総合研究所内 Saitama (JP). 木村 義則 (KIMURA, Yoshinori) [JP/JP]; 〒350-2288 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式会社 総合研究所内 Saitama (JP). 宮地 護 (MIYACHI, Mamoru) [JP/JP]; 〒350-2288 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式会社 総合研究所内 Saitama (JP).

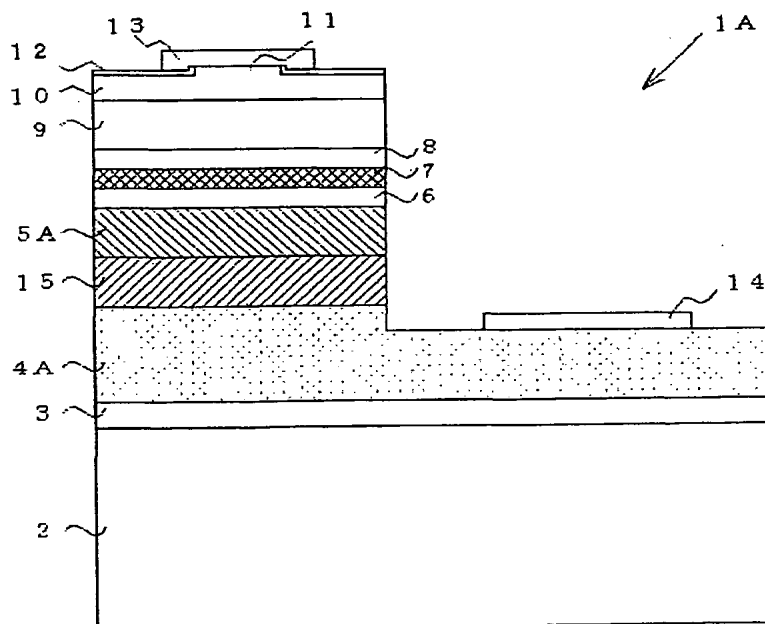
(74) 代理人: 藤村 元彦 (FUJIMURA, Motohiko); 〒104-0045 東京都中央区築地 4 丁目 1 番 17 号 銀座大野ビル 藤村国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS,

[続葉有]

(54) Title: GROUP III NITRIDE SEMICONDUCTOR LIGHT-EMITTING DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 3 族窒化物半導体発光素子及びその製造方法



(57) Abstract: A group III nitride semiconductor light-emitting device is a light-emitting device comprising layers of group III nitride semiconductors in which a crack-preventing layer (15) composed of an n-type GaN is formed between an n-type contact layer (4A) composed of an n-type GaN and an n-type cladding layer (5A) composed of an n-type AlGaIn. The crack-preventing layer (15) has a dopant concentration lower than that of the n-type contact layer (4A).

[続葉有]

WO 2004/036708 A1



LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI,  
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,  
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,  
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(57) 要約: 3族窒化物半導体発光素子であって、3族窒化物半導体を積層してなる発光素子のn型Ga<sub>0.9</sub>Nからなる  
n型コンタクト層4Aとn型AlGa<sub>0.1</sub>Nからなるn型クラッド層5Aとの間に、n型コンタクト層4Aよりもドー  
パント濃度が低いn型Ga<sub>0.9</sub>Nからなるクラック防止層15が設けられている。

## 明細書

## 3 族窒化物半導体発光素子及びその製造方法

## 5 技術分野

本発明は、3 族窒化物半導体発光素子及びその製造方法に関する。

背景技術

近年、3 族窒化物半導体からなる発光ダイオード（以下LEDと称する）及びレーザダイオード（以下LDと称する）が知られている。

10 図1に示す3 族窒化物半導体材料を用いたLD素子1においては、サファイアからなる基板2上に、AlNからなるバッファ層3、n型GaNからなるn型コンタクト層4、n型AlGaNからなるn型クラッド層5、n型GaNからなるn型ガイド層6、InGaNを主たる成分とする活性層7、p型GaNからなるp型ガイド層8、p型AlGaNからなるp型クラッド層9、p型GaNからなるp型コンタクト層10が順に積層されている。p型コンタクト層10には、厚さ方向に突出して凸状になっているリッジ11が設けられている。リッジ11の上部の平坦部を除いて絶縁膜12が成膜されており、リッジ11を覆うようにp型電極13が設けられている。なお、n型コンタクト層4上には、n型電極14が設けられている。

20 p型電極13及びn型電極14の間で順方向にバイアス電圧を印加した場合、p型電極13及びn型電極14から正孔及び電子が各々LD素子1にキャリアとして注入され、正孔及び電子が活性層7にて再結合して光を発する。

上記構造のLD素子1は、活性層をその両側からガイド層で挟み、さらにその外側からクラッド層で挟むことによって、ガイド層により活性層にキャリアを閉じ込め、クラッド層によりガイド層と活性層に光を閉じ込めるようになっており、SCH (Separate Confinement Heterostructure) 構造として知られている。

- 5      上記の如きSCH構造の3族窒化物系半導体レーザ素子は、クラッド層の膜厚を増加させること又はAlNモル分率を増やすことで、光閉じ込め係数を向上させることが出来る。

ところが、AlGaNからなるn型クラッド層5の膜厚を大とする若しくはAlNモル分率を増やすと、AlGaNの格子定数がGaNの格子定数よりも小さいことに起因して、n型クラッド層5の内部には引張り応力が発生し、クラックが形成され易くなることが知られている（例えば、特開平11-74621号公報参照）。このn型クラッド層5にクラックが発生するn型クラッド層5の膜厚は、クラック発生臨界膜厚あるいは単に臨界膜厚と称されている。かかるn型クラッド層5のクラックは、LD素子の発光特性の劣化の原因となる。

- 15      そこで、n型クラッド層にクラックが発生することを防止する手段として、n型コンタクト層とn型クラッド層との間にn型クラッド層に生じる引張り応力を緩和するためのクラック防止層（図示せず）を設けることが提案されている。該クラック防止層は、厚さ100オングストロームから0.5 $\mu$ mのInGaNからなる（例えば、特開平9-148247号公報参照。）。

- 20      クラック発生を低減するためにGaN層とAlGaN層の間にInGaN層を設ける従来例においては、InGaN結晶の成長温度（略700から800℃）がGaN及びAlGaNの成長温度（略1000℃から1100℃）に比べて低

い故、クラック防止層の作成前後で基板温度を昇降させなければならない。また  
InGa<sub>1-x</sub>Nの結晶成長速度が、Ga<sub>1-x</sub>Nの結晶成長速度に比べて遅い。その結果、  
素子の製造に時間を要する。

更に、結晶成長反応に用いるアンモニア等の窒素材料の必要量は、Ga<sub>1-x</sub>Nに比  
5 べてInGa<sub>1-x</sub>Nの方が大であり、製造コストが高くなる。

また、InGa<sub>1-x</sub>Nは、Ga<sub>1-x</sub>N及びAlGa<sub>1-x</sub>Nに比べて高い屈折率を有する故、  
n型クラッド層の下地としてInGa<sub>1-x</sub>N層を用いる場合には、クラッド層で完全  
に閉じ込められなかった光が漏れ易くなる。その上、クラック防止層のIn組成  
が発光層のIn組成と同等若しくはそれより高い場合には、該クラック防止層が  
10 光吸収層として作用してしまい、導波損失が発生してしきい電流値上昇の一因と  
なる。

#### 発明の開示

本発明が解決しようとする課題には、上記した問題が1例として挙げられる。

請求項1に記載の3族窒化物半導体発光素子は、n型Ga<sub>1-x</sub>Nからなるn型コン  
15 タクト層と、n型Al<sub>x</sub>Ga<sub>1-x-y</sub>In<sub>y</sub>N ( $0 < x < 1$ ,  $0 \leq y < 1$ ,  $0 < x+y < 1$ ) からなるn型クラッド層と、活性層と、p型クラッド層と、p型コンタクト  
層と、を含む3族窒化物半導体発光素子であって、前記n型コンタクト層と前記  
n型クラッド層との間にn型Ga<sub>1-x</sub>Nからなるクラック防止層を有し、前記クラッ  
ク防止層のドーパント濃度が、前記n型コンタクト層のドーパント濃度よりも小  
20 であることを特徴とする。

請求項7に記載の3族窒化物半導体発光素子の製造方法は、3族窒化物半導体  
を基板上に順次積層して得られる多層構造の半導体発光素子の製造方法であって

、n型GaNからなるn型コンタクト層を成膜するn型コンタクト層形成工程と、前記n型コンタクト層のドーパント濃度よりも小なるドーパント濃度を有するn型GaNからなるクラック防止層を成膜するクラック防止層形成工程と、を含むことを特徴とする。

## 5 図面の簡単な説明

図1は、従来のLD素子の断面図である。

図2は、本発明によるLD素子の断面図である。

図3は、ドーパント濃度が $4 \times 10^{18} \text{cm}^{-3}$ であるGaN層上に設けられたn型クラッド層の表面の写真である。

10 図4は、ドーパント濃度が $2 \times 10^{18} \text{cm}^{-3}$ であるGaN層上に設けられたn型クラッド層の表面の写真である。

## 発明を実施するための形態

以下、本発明の実施例を図面を参照しつつ説明する。なお、図面中の類似の部分については同一の符号が付されている。

15 図2に示す如く、本発明によるLD素子1Aは、サファイアからなる基板2上に設けられたAlNからなるバッファ層3を含む。バッファ層は、略50nmの厚さを有する。

バッファ層3の上には、n型GaNからなるn型コンタクト層4Aが設けられている。n型コンタクト層4Aは、ドーパントとしてSiを含み、Si原子濃度は、 $1 \times 10^{19} \text{cm}^{-3}$ である。なお、ドーパント濃度は $4 \times 10^{18} \text{cm}^{-3}$ から $2 \times 10^{19} \text{cm}^{-3}$ の範囲にあることが好ましい。なんとなれば、素子の全体の直列抵抗を低減することができるからである。

20

n型コンタクト層4A上には、n型電極14が形成され、且つn型電極14から離間した位置にn型Ga<sub>0.98</sub>Nからなるクラック防止層15が形成されている。クラック防止層15は、 $1 \times 10^{17} \text{cm}^{-3}$ の濃度のSiドーパントを含み、2  $\mu\text{m}$ の厚さを有する。なお、クラック防止層15に含まれるSiドーパントの濃度は、

5 n型コンタクト層4Aよりも小であり、 $4 \times 10^{18} \text{cm}^{-3}$ 未満の範囲にあることが好ましい。また $5 \times 10^{16} \text{cm}^{-3}$ から $5 \times 10^{17} \text{cm}^{-3}$ の範囲にドーパント濃度があることがより好ましい。

クラック防止層15のドーパント濃度がn型コンタクト層4Aに比べて低いことによって、クラック防止層15が高抵抗となり、LD素子の駆動電圧増加の一

10 因となることが考えられる。しかしながら、ドーパント濃度が低くなると、キャリアの移動度が高くなるので、抵抗率の上昇は抑制される。また電流の経路が、クラック防止層15の厚さ方向であることから、クラック防止層15内の電流経路長さは、クラック防止層15の膜厚そのものである。つまり、クラック防止層15の膜厚が、数  $\mu\text{m}$ 程度であるのに対して、LD素子1A全体の電流経路長

15 さが100  $\mu\text{m}$ オーダーであることから、LD素子1A全体の抵抗値に対するクラック防止層15の抵抗値の割合が小さい。従って、ドーパント濃度が低いn型Ga<sub>0.98</sub>Nからなるクラック防止層15をLD素子に設けたとしても、素子全体の抵抗に対する影響は小さい。

クラック防止層15の上にn型Al<sub>0.08</sub>Ga<sub>0.92</sub>Nからなるn型クラッド層5A

20 が形成されている。n型クラッド層5Aは、膜厚が1.2  $\mu\text{m}$ 、Siドーパント濃度が $2 \times 10^{18} \text{cm}^{-3}$ である。

n型クラッド層5Aの直下に、Siドーパント濃度が低いn型Ga<sub>0.98</sub>Nからなる

クラック防止層 15 を設けたことによって、n 型クラッド層 5 A の臨界膜厚が大となった。これは、 $\text{Al}_{0.08}\text{Ga}_{0.92}\text{N}$  からなり且つ  $0.5\ \mu\text{m}$  の膜厚を有する n 型クラッド層を、Si ドーパント濃度が異なる n 型 GaN 層上に形成した場合におけるクラック発生状況を示した図 3 及び図 4 から明らかなである。つまり、n 5 型 GaN 層の Si ドーパント濃度が低い方（図 4）の方が、クラックの発生密度は小である。ドーパント濃度を小とすることによって、GaN 結晶における不純物添加による硬化現象が現出し難くなり、n 型 GaN 層の変形が可能となることで、n 型クラッド層内の引張り応力が減少するからであると考えられる。

n 型クラッド層 5 A の臨界膜厚については、クラック防止層 15 のドーパント 10 濃度の他に、1) n 型クラッド層 5 A の AlN モル分率、及び 2) n 型クラッド層 5 A のドーパント濃度にも依存する。この 2 つのパラメータの各々の値が大になると、臨界膜厚が小となってクラックが発生し易くなる。しかしながら、クラック防止層 15 を設けることにより、各パラメータ値を大きくすることができた。1) の AlN モル分率を高くすることによって、LD 素子 1 A 内で発生した光 15 を有効に閉じ込めることができた。2) のドーパント濃度を大とすることによって、n 型クラッド層の抵抗率が減少して素子の直列抵抗が低くなり、駆動電圧が低下した。

なお、n 型クラッド層 5 A は、 $\text{Al}_x\text{Ga}_{1-x-y}\text{In}_y\text{N}$  ( $0 < x < 1$ ,  $0 \leq y < 1$ ,  $0 < x+y < 1$ ) から形成され得る。

20 n 型クラッド層 5 A 上に順に、 $0.05\ \mu\text{m}$  の膜厚を有する n 型 GaN からなる n 型ガイド層 6 と、活性層 7 と、が設けられている。活性層 7 は、n 型ガイド層 6 側から順に、Si ドーパントを含む InGaIn 系からなるバリア層（図示せず



）とSiドーパントを含まず且つバリア層よりもIn濃度が高いInGa<sub>0.5</sub>Nからなるウエル層（図示せず）とを交互に所定の井戸数まで積層し、最後にバリア層が積層されて、多重量子井戸（以下MQWと称する）活性層が形成されている。

5 活性層7上には、図1に示したLD素子1と同様に、p型Ga<sub>0.5</sub>Nからなるp型ガイド層8、p型AlGa<sub>0.5</sub>Nからなるp型クラッド層9、p型Ga<sub>0.5</sub>Nからなるp型コンタクト層10、p型電極13が順に形成されている。なお、活性層7とp型ガイド層8の間にp型AlGa<sub>0.5</sub>Nからなる電子バリア層（図示せず）を挿入しても良い。

次に、上記したLD素子の製造方法について説明する。

10 サファイアからなるウエーハを基板としてMOCVD（有機金属気相成長法）装置の反応炉に装填し、1050℃の温度において300 Torrの圧力の水素流中で10分間保持して、基板表面をクリーニングする。基板の温度が400℃になるまで冷却し、窒素原料であるアンモニア（以下NH<sub>3</sub>と称する）とAl原料であるトリメチルアルミニウム（以下TMAと称する）とを反応炉に導入して

15 、バッファ層を堆積させる。

バッファ層を形成後、TMAの供給を止めてNH<sub>3</sub>のみを供給した状態で、基板を1050℃に昇温し、トリメチルガリウム（以下TMGと称する）を反応炉内に導入して、n型Ga<sub>0.5</sub>Nからなるn型コンタクト層を成長させるn型コンタクト層形成工程を行う。該n型コンタクト層形成工程において、Siの原料として

20 メチルシラン（以下Me-SiH<sub>3</sub>と称する）を成長雰囲気ガスに添加する。Me-SiH<sub>3</sub>の添加量は、膜中のSi原子密度が $1 \times 10^{19} \text{cm}^{-3}$ になるように調整する。

n型コンタクト層を $10\mu\text{m}$ の厚さまで成長させた後、 $\text{Me-SiH}_3$ の流量を減じて、 $\text{Si}$ の原子濃度が $1 \times 10^{17}\text{cm}^{-3}$ であるクラック防止層を形成するクラック防止層形成工程を行う。クラック防止層形成工程は、n型コンタクト層形成工程において使用した材料のうち、ドーパント材料である $\text{Me-SiH}_3$ の流量を減らすのみで、反応炉へ新たに別の材料を供給すること及び反応炉の温度の昇降することは不要である。すなわち、n型コンタクト層とクラック防止層の材料を同一にすることによって、製造に要する材料及び時間コストが削減できる。

反応炉内にTMAを導入してn型 $\text{Al}_{0.08}\text{Ga}_{0.92}\text{N}$ からなるn型クラッド層の成膜を行う。 $\text{Me-SiH}_3$ の反応炉内への流入量は、n型クラッド層内の $\text{Si}$ 原子濃度が $2 \times 10^{18}\text{cm}^{-3}$ となるように調整する。 $\text{AlGaIn}$ 結晶の結晶成長温度は、 $\text{GaIn}$ とほぼ同じであることから、反応炉の温度の昇降が不要である。

TMAの供給を停止し、n型 $\text{GaIn}$ からなるn型ガイド層を $0.05\mu\text{m}$ の厚さに成長させる。n型 $\text{GaIn}$ ガイド層の成長が完了した時に、TMG及び $\text{Me-SiH}_3$ の供給を停止して降温せしめ、基板温度を $770^\circ\text{C}$ とする。

基板温度が $770^\circ\text{C}$ となった後に、原料輸送ガスであるキャリアガスを水素から窒素に切替え、TMG、トリメチルインジウム（以下TMIと称する）及び $\text{Me-SiH}_3$ を導入してバリア層を堆積させる。次に $\text{Me-SiH}_3$ の供給を止めると共にTMIの流量を増加して、バリア層よりIn組成の高いウエル層を堆積させる。バリア層とウエル層の成長は、MQWの設計繰返し数に合わせて繰り返す。最後のウエル層上にバリア層を成長してMQW活性層を形成する。

TMI及び $\text{Me-SiH}_3$ の供給を停止し、代わりにTMAとMg原料であるエチルシクロペンタジエニルマグネシウム（以下 $\text{EtCp}_2\text{Mg}$ と称する）を

導入し、MgドープAlGa<sub>0.98</sub>Nよりなる電子バリア層を成長させる。電子バリア層の膜厚が200オングストロームに達したら、TMG、TMA及びEtCp<sub>2</sub>Mgの供給を停止し、更にキャリアガスを窒素から水素に変更して昇温を開始する。

- 5 基板温度が1050℃に達した後、TMGとEtCp<sub>2</sub>Mgを導入し、MgドープGa<sub>0.98</sub>Nからなるp型ガイド層を成長させる。p型ガイド層の厚さが0.05μmになったら、TMAを導入し、MgドープAl<sub>0.08</sub>Ga<sub>0.92</sub>Nからなるp型クラッド層を堆積させる。

- 10 p型クラッド層の厚さが0.5μmまで成長させた後、TMAの供給を停止し、MgドープGa<sub>0.98</sub>Nからなるp型コンタクト層を成長させる。p型コンタクト層の厚さが0.1μmになったら、TMGとEtCp<sub>2</sub>Mgの供給を停止し、降温を開始する。基板温度が400℃以下になったら、NH<sub>3</sub>の供給を止める。基板温度が室温になった後、LD構造が積層されたウエーハを反応炉から取出す。

- その後、通常のリソグラフィプロセスとドライエッチングにより、p型  
15 コンタクト層にリッジを形成し、リッジの上部の平坦部を除いて絶縁膜を形成し、更にp型電極を形成する。同様に、部分的にエッチングを行って、n型コンタクト層を露出させてn型電極を形成する。ウエーハを素子に分割してLD素子が得られる。

- なお、基板材料としてサファイアを用いたが、これに限定されるものではなく  
20 、SiC基板、Ga<sub>0.98</sub>Nバルク基板、Si基板及びサファイア等の基板上に予めGa<sub>0.98</sub>Nを成長させた基板が使用出来る。

上記工程で製造されたLD素子の特性について測定を行った。測定には、リッ

ジ幅  $2\ \mu\text{m}$ 、共振器長さ  $0.6\ \text{mm}$  の LD 素子を用いた。なお、従来例として用いられる発光素子は、図 1 に示す如き LD 素子 1 と同一であり、n 型コンタクト層 4 の Si 濃度が  $2 \times 10^{18}\text{cm}^{-3}$ 、n 型クラッド層 5 の厚さが  $0.8\ \mu\text{m}$  であった。

- 5      本発明による発光素子は、波長  $405\ \text{nm}$ 、しきい電流値  $40\ \text{mA}$  でレーザ発振した。また、出力  $5\ \text{mW}$  時の駆動電圧は  $5.4\ \text{V}$  であった。これに対して、従来の発光素子は発振波長  $406\ \text{nm}$ 、しきい電流  $45\ \text{mA}$ 、出力  $5\ \text{mW}$  の時の電圧は  $6.2\ \text{V}$  であった。ドーパント濃度が高い n 型コンタクト層と、該 n 型コンタクト層よりも低いドーパント濃度のクラック防止層と、を LD 素子内に設ける
- 10      ことによって、n 型クラッド層にクラックを発生させることなく LD 素子の直列抵抗を低減することができた。

上記 LD 素子から出射されるレーザ光の遠視野像 (FFP: Far Field Pattern) について測定したところ、従来の LD 素子ではメインピークの裾野の部分に光の漏れに起因するサイドピークが見られるのに対して、本発明による LD 素子は

15      ガウシアン分布を呈した。これは、クラック防止層を設けたことにより、クラック発生の臨界条件が緩和されて n 型クラッド層の膜厚を従来の素子よりも厚く形成できたので、光閉じ込め効果が改善し、FFP が良くなったものと思われる。

なお、上記実施例において、n 型ドーパントとして Si を使用している。しかし、これに限定されるものではなく、Ge も使用できる。

- 20      また、LD 素子のみについて記載したが、本発明はこれに限定されるものではなく、LED にも適用できる。特に、発光波長が  $360\ \text{nm}$  以下の短波長 LED の場合は、GaN 層が吸収層として作用する故、活性層の下には、高 Al 組成の

AlGa<sub>x</sub>Nクラッド層あるいはブラッグ反射器構造などが必要となるので、n型コンタクト層との間に低ドーパント濃度のクラック防止層を挿入することは、非常に有効である。

n型Ga<sub>1-x</sub>Nからなるn型コンタクト層と、n型Al<sub>x</sub>Ga<sub>1-x-y</sub>In<sub>y</sub>N ( $0 < x < 1$ ,  $0 \leq y < 1$ ,  $0 < x+y < 1$ ) からなるn型クラッド層と、活性層と、p型クラッド層と、p型コンタクト層と、を含む3族窒化物半導体発光素子であって、前記n型コンタクト層と前記n型クラッド層との間にn型Ga<sub>1-x</sub>Nからなるクラック防止層を有し、前記クラック防止層のドーパント濃度が、前記n型コンタクト層のドーパント濃度よりも小であることを特徴とする発光素子によれば、ドーパント濃度が低いクラック防止層を設けることによって、クラックを生じさせることなくn型クラッド層の厚さを大とすること又はAlNモル分率を増やすことができるので、素子の発光効率が改善される。その上、n型コンタクト層のドーパント濃度を高くすることができるので、素子の直列抵抗を低下させることができる。

3族窒化物半導体を基板上に順次積層して得られる多層構造の半導体発光素子の製造方法であって、n型Ga<sub>1-x</sub>Nからなるn型コンタクト層を成膜するn型コンタクト層形成工程と、前記n型コンタクト層のドーパント濃度よりも小なるドーパント濃度を有するn型Ga<sub>1-x</sub>Nからなるクラック防止層を成膜するクラック防止層形成工程と、を含むことを特徴とする半導体発光素子製造方法によれば、n型コンタクト層及びクラック防止層の双方が同一の材料で形成することができるので、素子の製造に要する材料及び時間コストを削減することができる。

## 請求の範囲

1. n型Ga<sub>1-x</sub>Nからなるn型コンタクト層と、n型Al<sub>x</sub>Ga<sub>1-x-y</sub>In<sub>y</sub>N (0 < x < 1、0 ≤ y < 1、0 < x+y < 1) からなるn型クラッド層と、活性層と、

5 p型クラッド層と、p型コンタクト層と、を含む3族窒化物半導体発光素子であって、

前記n型コンタクト層と前記n型クラッド層との間にn型Ga<sub>1-x</sub>Nからなるクラック防止層を有し、

10 前記クラック防止層のドーパント濃度が、前記n型コンタクト層のドーパント濃度よりも小であることを特徴とする発光素子。

2. 前記クラック防止層のドーパント濃度が、 $4 \times 10^{18} \text{cm}^{-3}$ 未満であることを特徴とする請求項1記載の発光素子。

3. 前記クラック防止層のドーパント濃度が、 $5 \times 10^{16} \text{cm}^{-3}$ から $5 \times 10^{17} \text{cm}^{-3}$ の範囲内にあることを特徴とする請求項2記載の発光素子。

15 4. 前記n型コンタクト層のドーパント濃度が、 $4 \times 10^{18} \text{cm}^{-3}$ から $2 \times 10^{19} \text{cm}^{-3}$ の範囲内にあることを特徴とする請求項1記載の発光素子。

5. 前記クラック防止層のドーパントが、Si又はGeであることを特徴とする請求項1記載の発光素子。

6. 前記n型コンタクト層のドーパントが、Si又はGeであることを特徴とする請求項1記載の発光素子。

20 7. 3族窒化物半導体を基板上に順次積層して得られる多層構造の半導体発光素子の製造方法であって、

n型GaNからなるn型コンタクト層を成膜するn型コンタクト層形成工程と

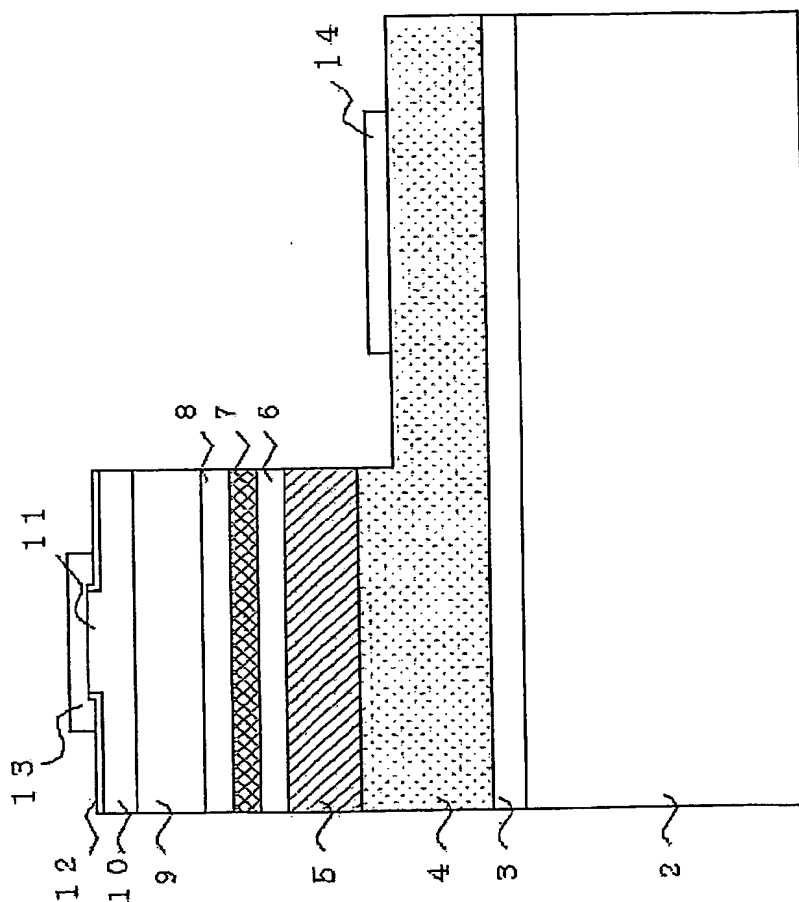
前記n型コンタクト層のドーパント濃度よりも小なるドーパント濃度を有する  
n型GaNからなるクラック防止層を成膜するクラック防止層形成工程と、を含

5 むことを特徴とする半導体発光素子の製造方法。

8. 前記クラック防止層形成工程は、前記n型コンタクト層形成工程において  
使用された成膜材料のうち、ドーパント材料の供給量を減ずることからなること  
を特徴とする請求項7記載の半導体発光素子の製造方法。

1/4

図1

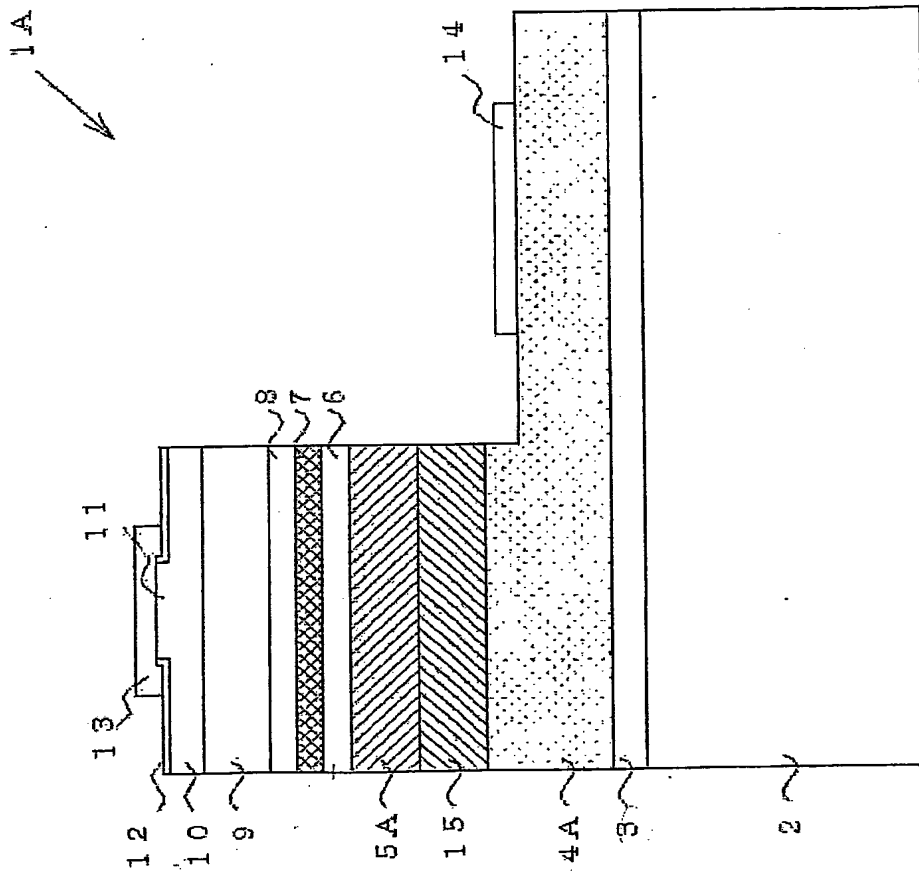


従来技術



2/4

FIG. 2



BEST AVAILABLE COPY

3/4

図3



BEST AVAILABLE COPY

4/4

図4



BEST AVAILABLE COPY